

Requested Patent: JP9069072A
Title: MEMORY MAPPED I/O CONTROL CIRCUIT ;
Abstracted Patent: JP9069072 ;
Publication Date: 1997-03-11 ;
Inventor(s): ONODERA KAZUHIKO ;
Applicant(s): NEC CORP ;
Application Number: JP19950223359 19950831 ;
Priority Number(s): ;
IPC Classification: G06F13/14; G06F12/06 ;
Equivalents: ;

ABSTRACT:

PROBLEM TO BE SOLVED: To enable a machine of different architecture to freely use an I/O mapped I/O register supported only for specific machine architecture. **SOLUTION:** When a CPU 3 accesses a memory mapped I/O, a memory mapped address MA is passed to an address comparison part 12. The address comparison 12 compares the memory mapped address MA with a base address BA and outputs a select signal SEL when they match each other. An address mapping table 13 passes an address conversion system obtained by searching a table indicated with a table select address TA to an address conversion part 14, generates a memory I/O select signal MIS, and informs a controller 2 of which of the memory mapped I/O area and an I/O mapped I/O area the table select address TA is in. The address conversion part 14 passes a converted address CA to the controller 2 according to the address conversion system.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-69072

(43)公開日 平成9年(1997)3月11日

(51)Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/14	3 2 0		G 0 6 F 13/14	3 2 0 H
12/06	5 1 5		12/06	5 1 5 M

審査請求 有 請求項の数5 O L (全 6 頁)

(21)出願番号 特願平7-223359

(22)出願日 平成7年(1995)8月31日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小野寺 和彦

東京都港区芝五丁目7番1号 日本電気株式会社内

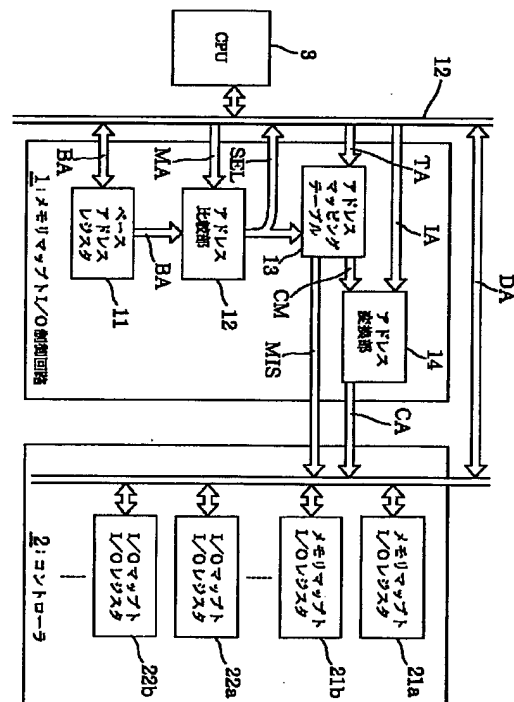
(74)代理人 弁理士 西村 征生

(54)【発明の名称】 メモリマップトI/O制御回路

(57)【要約】

【課題】 特定のマシンアーキテクチャにのみサポートするI/OマップトI/Oレジスタを、異なるアーキテクチャのマシンでも自由に使えるようにする。

【解決手段】 CPU3からメモリマップトI/Oのアクセスを行うと、メモリマップトアドレスMAがアドレス比較部12へ渡される。アドレス比較部12は、メモリマップトアドレスMAとベースアドレスBAとを比較し、一致すれば、セレクト信号SELを出力する。アドレスマッピングテーブル13は、テーブル選択アドレスTAによって示されたテーブルから探索されたアドレス変換方式CMをアドレス変換部14に渡すと共に、メモリ・I/O選択信号MISを生成し、テーブル選択アドレスTAがメモリマップトI/O領域であるかI/OマップトI/O領域であるかをコントローラ2に通知する。アドレス変換部14は、上記アドレス変換方式の通り、コントローラ2へ変換アドレスCAを渡す。



【特許請求の範囲】

【請求項1】 中央処理装置からのメモリマップトI/Oのアクセスにตอบสนองして、メモリマップトI/Oレジスタ及びI/OマップトI/Oレジスタを有する周辺装置を制御するためのメモリマップトI/O制御回路であって、
予めベースアドレスを保持するベースアドレスレジスタと、
中央処理装置から第2のメモリアドレス範囲が供給されると、該メモリアドレス範囲と前記ベースアドレスをベースとした第1のメモリアドレス範囲とを比較し、同じであれば、セレクト信号を出力するアドレス比較部と、
前記中央処理装置から入力される第3のメモリアドレス範囲には、I/OマップトI/O領域のアドレスが割り当てられているか否かを示すマッピング情報及び前記第3のメモリアドレス範囲の変換アドレス又はアドレス変換方式を格納しているアドレスマッピングテーブルと、
当該第3のメモリアドレス範囲が前記アドレスマッピングテーブル上でI/OマップトI/O領域であると予め定義されているならば、前記アドレスマッピングテーブルの変換アドレス又はアドレス変換方式に従って、前記中央処理装置から入力されたメモリアドレスを前記周辺装置のI/OマップトI/OレジスタのI/Oアドレスにアドレス変換するアドレス変換部とを備えてなることを特徴とするメモリマップトI/O制御回路。

【請求項2】 中央処理装置からのメモリマップトI/Oのアクセスにตอบสนองして、メモリマップトI/Oレジスタ及びI/OマップトI/Oレジスタを有する周辺装置を制御するためのメモリマップトI/O制御回路であって、
予めベースアドレスを保持するベースアドレスレジスタと、
中央処理装置から第2のメモリアドレス範囲が供給されると、該メモリアドレス範囲と前記ベースアドレスをベースとした第1のメモリアドレス範囲とを比較し、同じであれば、セレクト信号を出力するアドレス比較部と、
前記中央処理装置から入力される第3のメモリアドレス範囲には、I/OマップトI/O領域のアドレスが割り当てられているか否かを示すマッピング情報及び前記第3のメモリアドレス範囲の変換アドレス又はアドレス変換方式を格納しているアドレスマッピングテーブルと、
当該第3のメモリアドレス範囲が前記アドレスマッピングテーブル上でI/OマップトI/O領域であると予め定義されているならば、前記アドレスマッピングテーブルの変換アドレス又はアドレス変換方式に従って、前記中央処理装置から入力されたメモリアドレスを前記周辺装置のI/OマップトI/OレジスタのI/Oアドレスにアドレス変換し、
当該第3のメモリアドレス範囲が前記アドレスマッピングテーブル上でメモリマップトI/O領域であるともI

/OマップトI/Oの領域であるとも定義されていないならば、前記中央処理装置から入力されたメモリアドレスをアドレス変換することなしにそのまま出力するアドレス変換部とを備えてなることを特徴とするメモリマップトI/O制御回路。

【請求項3】 中央処理装置からのメモリマップトI/Oのアクセスにตอบสนองして、メモリマップトI/Oレジスタ及びI/OマップトI/Oレジスタを有する周辺装置を制御するためのメモリマップトI/O制御回路であって、
予めベースアドレスを保持するベースアドレスレジスタと、
中央処理装置から第2のメモリアドレス範囲が供給されると、該メモリアドレス範囲と前記ベースアドレスをベースとした第1のメモリアドレス範囲とを比較し、同じであれば、セレクト信号を出力するアドレス比較部と、
前記中央処理装置から入力される第3のメモリアドレス範囲には、I/OマップトI/O領域のアドレスが割り当てられているかメモリマップトI/O領域のアドレスが割り当てられているかを示すマッピング情報及び前記第3のメモリアドレス範囲の変換アドレス又はアドレス変換方式を格納しているアドレスマッピングテーブルと、
当該第3のメモリアドレス範囲が前記アドレスマッピングテーブル上でI/OマップトI/O領域であると予め定義されているならば、前記アドレスマッピングテーブルの変換アドレス又はアドレス変換方式に従って、前記中央処理装置から入力されたメモリアドレスを前記周辺装置のI/OマップトI/OレジスタのI/Oアドレスにアドレス変換し、
当該第3のメモリアドレス範囲が前記アドレスマッピングテーブル上でメモリマップトI/O領域であると予め定義されているならば、前記アドレスマッピングテーブルのアドレス変換方式に従って、前記中央処理装置から入力されたメモリアドレスを前記周辺装置のメモリマップトI/Oレジスタのメモリアドレスにアドレス変換し、
当該第3のメモリアドレス範囲が前記アドレスマッピングテーブル上でメモリマップトI/O領域であるともI/OマップトI/Oの領域であるとも定義されていないならば、前記中央処理装置から入力されたメモリアドレスをアドレス変換することなしにそのまま出力するアドレス変換部とを備えてなることを特徴とするメモリマップトI/O制御回路。

【請求項4】 前記セレクト信号は、前記中央処理装置にも送出されることを特徴とする請求項1、2又は3記載のメモリマップトI/O制御回路。

【請求項5】 前記ベースアドレスレジスタ、アドレス比較部、アドレスマッピングテーブル及びアドレス変換部は、フリップフロップ回路及び論理積回路を有するハ

ードウェアによって構成されていることを特徴とする請求項1、2又は3記載のメモリマップトI/O制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、メモリマップトI/O制御回路に係り、特に、入力されたメモリアドレスによって、メモリマップトI/Oレジスタ及びI/OマップトI/Oレジスタのいずれにもアクセスできる機能を備えたメモリマップトI/O制御回路に関する。

【0002】

【従来の技術】従来、1個の半導体チップで構成されるCPU（中央処理装置）がその周辺に設置されるI/O装置（外部入出力装置）にアクセスする方式として、I/OマップトI/Oアクセス方式と、メモリマップトI/Oアクセス方式とが知られている。I/OマップトI/Oアクセス方式とは、CPUからの入出力命令によって発生されるI/O装置の番号（アドレス）と、I/O装置への書込み及び読出し信号を用いてCPUとI/O装置との間でデータのやりとりを行うもので、I/O空間からアクセスするときに見える（I/O装置内の）I/Oレジスタは、I/OマップトI/Oレジスタと呼ばれる。これに対して、メモリマップトI/Oアクセス方式とは、本来主メモリのために用意されているアドレス領域の一部にI/O装置のアドレスを割り当て、主メモリに対する書込み及び読出し命令、演算命令等に基づいて発生される主メモリへのアドレスと主メモリへの書込み及び読出し信号とを用いてCPUとI/O装置との間でデータのやりとりを行うもので、メモリ空間からアクセスするときに見える（I/O装置内の）I/Oレジスタは、メモリマップトI/Oレジスタと呼ばれる。メモリマップトI/Oアクセス方式の特徴は、一般の算術論理演算命令や転送命令等のオペランドを用いて主メモリと同様にI/O装置をも指定することが可能なことである。

【0003】ところで、この種のI/OマップトI/Oレジスタの中には、大量生産され、原価低下効果が期待できるにもかかわらず、アドレス（装置番号）が固定され、特定のマシンアーキテクチャにのみ依存するI/OマップトI/Oレジスタ（汎用チップ）が多種類存在する。しかしながら、メモリ空間からI/Oレジスタに対しては直接にはアクセスできず、I/Oアドレス空間からメモリアドレス空間に対しても、直接にはアクセスできない。アドレス変換の手段としては、例えば、特開平2-287645号公報、特開昭64-84353号公報等に記載されているように、アドレス変換テーブルを持つ管理ユニットが提供されている。

【0004】

【発明が解決しようとする課題】しかしながら、上記公報記載の従来技術は、あくまで、論理アドレスを物理ア

ドレスに変換する仮想記憶操作を行うもので、メモリマップ上での変換は可能であるが、メモリアドレスによって、メモリアドレス空間からI/Oアドレス空間へ自動的に切り替える機構にはなっていなかった。このため、上記したように、特定のマシンアーキテクチャにのみ依存する汎用性のI/OマップトI/Oレジスタを、異なるアーキテクチャのマシンでは、使用できないという、不都合が生じていた。

【0005】この発明は、上述の事情に鑑みてなされたもので、特定のマシンアーキテクチャにのみ依存する汎用性のI/OマップトI/Oレジスタを、異なるアーキテクチャのマシンでも、自由に使用できるようにしたメモリマップトI/O制御回路を提供することを目的としている。

【0006】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、中央処理装置からのメモリマップトI/Oのアクセスにตอบสนองして、メモリマップトI/Oレジスタ及びI/OマップトI/Oレジスタを有する周辺装置を制御するためのメモリマップトI/O制御回路であって、予めベースアドレスを保持するベースアドレスレジスタと、中央処理装置から第2のメモリアドレス範囲が供給されると、該メモリアドレス範囲と上記ベースアドレスをベースとした第1のメモリアドレス範囲とを比較し、同じであれば、セレクト信号を出力するアドレス比較部と、上記中央処理装置から入力される第3のメモリアドレス範囲には、I/OマップトI/O領域のアドレスが割り当てられているか否かを示すマッピング情報及び上記第3のメモリアドレス範囲の変換アドレス又はアドレス変換方式を格納しているアドレスマッピングテーブルと、当該第3のメモリアドレス範囲が上記アドレスマッピングテーブル上でI/OマップトI/O領域であると予め定義されているならば、上記アドレスマッピングテーブルの変換アドレス又はアドレス変換方式に従って、上記中央処理装置から入力されたメモリアドレスを上記周辺装置のI/OマップトI/OレジスタのI/Oアドレスにアドレス変換するアドレス変換部とを備えてなることを特徴としている。

【0007】また、請求項2記載の発明は、中央処理装置からのメモリマップトI/Oのアクセスにตอบสนองして、メモリマップトI/Oレジスタ及びI/OマップトI/Oレジスタを有する周辺装置を制御するためのメモリマップトI/O制御回路であって、予めベースアドレスを保持するベースアドレスレジスタと、中央処理装置から第2のメモリアドレス範囲が供給されると、該メモリアドレス範囲と上記ベースアドレスをベースとした第1のメモリアドレス範囲とを比較し、同じであれば、セレクト信号を出力するアドレス比較部と、上記中央処理装置から入力される第3のメモリアドレス範囲には、I/OマップトI/O領域のアドレスが割り当てられているか

否かを示すマッピング情報及び上記第3のメモリアドレス範囲の変換アドレス又はアドレス変換方式を格納しているアドレスマッピングテーブルと、当該第3のメモリアドレス範囲が上記アドレスマッピングテーブル上でI/OマップトI/O領域であると予め定義されているならば、上記アドレスマッピングテーブルの変換アドレス又はアドレス変換方式に従って、上記中央処理装置から入力されたメモリアドレスを上記周辺装置のI/OマップトI/OレジスタのI/Oアドレスにアドレス変換し、当該第3のメモリアドレス範囲が上記アドレスマッピングテーブル上でメモリマップトI/O領域であるともI/OマップトI/Oの領域であるとも定義されていないならば、上記中央処理装置から入力されたメモリアドレスをアドレス変換することなしにそのまま出力するアドレス変換部とを備えてなることを特徴としている。

【0008】また、請求項3記載の発明は、中央処理装置からのメモリマップトI/Oのアクセスに応答して、メモリマップトI/Oレジスタ及びI/OマップトI/Oレジスタを有する周辺装置を制御するためのメモリマップトI/O制御回路であって、予めベースアドレスを保持するベースアドレスレジスタと、中央処理装置から第2のメモリアドレス範囲が供給されると、該メモリアドレス範囲と上記ベースアドレスをベースとした第1のメモリアドレス範囲とを比較し、同じであれば、セレクト信号を出力するアドレス比較部と、上記中央処理装置から入力される第3のメモリアドレス範囲には、I/OマップトI/O領域のアドレスが割り当てられているかメモリマップトI/O領域のアドレスが割り当てられているかを示すマッピング情報及び上記第3のメモリアドレス範囲の変換アドレス又はアドレス変換方式を格納しているアドレスマッピングテーブルと、当該第3のメモリアドレス範囲が上記アドレスマッピングテーブル上でI/OマップトI/O領域であると予め定義されているならば、上記アドレスマッピングテーブルの変換アドレス又はアドレス変換方式に従って、上記中央処理装置から入力されたメモリアドレスを上記周辺装置のI/OマップトI/OレジスタのI/Oアドレスにアドレス変換し、当該第3のメモリアドレス範囲が上記アドレスマッピングテーブル上でメモリマップトI/O領域であるともI/OマップトI/Oの領域であるとも定義されていないならば、上記中央処理装置から入力されたメモリアドレスをアドレス変換することなしにそのまま出力するアドレス変換部とを備えてなることを特徴としている。

【0009】また、請求項4記載の発明は、請求項1、2又は3記載のメモリマップトI/O制御回路であって、上記セレクト信号は、上記中央処理装置にも送出されることを特徴としている。

【0010】また、請求項5記載の発明は、請求項1、2又は3記載のメモリマップトI/O制御回路であって、上記ベースアドレスレジスタ、アドレス比較部、アドレスマッピングテーブル及びアドレス変換部は、フリップフロップ回路及び論理積回路を有するハードウェアによって構成されていることを特徴としている。

【0011】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。図1は、この発明の一実施例であるメモリマップトI/O制御回路の電氣的構成を示すブロック図である。この例のメモリマップトI/O制御回路1は、メモリマップトI/Oレジスタ21a, 21b, ...及びI/OマップトI/Oレジスタ22a, 22b, ...を備えた周辺LSIチップとしてのコントローラ2を制御するための回路であり、ベースアドレスレジスタ11と、アドレス比較部12と、アドレスマッピングテーブル13と、アドレス変換部14とから概略構成されている。これら各部11~14は、フリップフロップ回路や論理積回路等のハードウェアによって構成されている。

【0012】上記ベースアドレスレジスタ11は、CPU3から供給されるベースアドレスBAを記憶保持すると共に、アドレス比較部12に供給する。このベースアドレスBAは、CPU3から任意の値に設定され、また、下位何ビットかを特定しないことにより、ベースアドレスBAを先頭アドレスとした所定のメモリアドレス範囲が設定できるようになっている。アドレス比較部12は、CPU3がメモリマップトI/Oのアクセスを行う際に、CPU3から供給されるメモリマップアドレス(範囲)MAが、ベースアドレスBAを先頭アドレスとした上記メモリアドレス範囲と同じであるか否かを比較し、肯定結果が得られれば、セレクト信号SELをCPU3及びアドレスマッピングテーブル13に出力する。ここで、メモリマップアドレスMAとは、メモリマップトI/Oのアクセス範囲を指定するアドレスであり、下位何ビットかを特定しないことにより、メモリアドレス範囲が指定できるようになっている。また、CPU3は、当該アドレス範囲が、コントローラ2の各種レジスタ21a, 22a, ...へのアクセス範囲かどうかを素早く知るために、セレクト信号SELをモニタする。

【0013】アドレスマッピングテーブル13は、CPU3から入力されるテーブル選択アドレス(範囲)TAには、I/OマップトI/Oレジスタ22a, 22b, ...のアドレスが割り当てられているか、メモリマップトI/Oレジスタ21a, 21b, ...のアドレスが割り当てられているかを示すマッピング情報及びテーブル選択

アドレス(範囲)TAのアドレス変換方式を格納する。ここで、テーブル選択アドレスTAとは、メモリマップトI/Oの範囲内の任意のロケーションを選択するアドレスである。また、アドレス変換方式とは、アドレスの各位のビットを入れ換えたり、反転したりすることにより、例えば、I/OマップトI/Oレジスタのアドレスがぶつからないようにする処理である。アドレス変換部14は、上記アドレス変換方式に則り、変換されたアドレスCAをコントローラ2の該当するI/Oレジスタに渡す。

【0014】次に、動作について説明する。まず、コンピュータシステムに電源が投入されると、初期化プログラムの動作手順に従って、CPU3は、ベースアドレスレジスタ11に、適当なベースアドレスBAを設定する。設定されたベースアドレスBAは、ベースアドレスレジスタ11からアドレス比較部12に供給される。この後、例えば、アプリケーション・プログラムの起動後、CPU3がメモリマップトI/Oのアクセスを行うと、CPU3からアドレス比較部12に対してメモリマップアドレス(範囲)MAが、アドレスマッピングテーブル13に対してテーブル選択アドレスTAが、アドレス変換部14に対して入力アドレスIAが、また、コントローラ2へデータDAが、同時に供給される。

【0015】アドレス比較部12は、CPU3から供給されるメモリマップアドレス(範囲)MAが、ベースアドレスBAを先頭アドレスとした上記メモリアドレス範囲と同じであるか否かを比較し、肯定結果が得られれば、セレクト信号SELをCPU3及びアドレスマッピングテーブル13に出力する。

【0016】アドレスマッピングテーブル13は、アドレス比較部12からセレクト信号SELの供給を受けると、CPU3から入力されるテーブル選択アドレス(範囲)TAによって示されたアドレスマッピングテーブル13内のテーブル上のデータによって、メモリ・I/O選択信号MISを生成し、入力されたテーブル選択アドレスTAが、メモリマップトI/Oレジスタ21a、21b、…に割り当てられたアドレスであるかI/OマップトI/Oレジスタ22a、22b、…に割り当てられたアドレスであるかをコントローラ2に通知する。また、アドレスマッピングテーブル13は、テーブルから探索された該当するアドレス変換方式CMをアドレス変換部14に渡す。

【0017】例えば、テーブル選択アドレスTAがアドレスマッピングテーブル13上でI/OマップトI/O領域であると予め定義されているならば、アドレスマッピングテーブル13のアドレス変換方式に従って、CPU3からの入力アドレスIAをコントローラ2の該当する例えばI/OマップトI/Oレジスタ22aのI/Oアドレスにアドレス変換して出力し、テーブル選択アドレスTAがアドレスマッピングテーブル13上でメモリ

マップトI/O領域であると予め定義されているならば、アドレスマッピングテーブル13のアドレス変換方式に従って、CPU3からの入力アドレスIAをコントローラ2の該当する例えばメモリマップトI/Oレジスタ21aのメモリアドレスにアドレス変換して出力し、テーブル選択アドレスTAがアドレスマッピングテーブル13上でメモリマップトI/O領域であるともI/OマップトI/Oの領域であるとも定義されていないならば、CPU3からの入力アドレスIAをアドレス変換することなしにそのままコントローラ2の該当する例えばメモリマップトI/Oレジスタ21bに渡す。

【0018】このように、上記構成によれば、入力されたメモリアドレスによってコントローラ2に対してメモリマップトI/OとI/OマップトI/Oとの複数のアクセス方式を選択できるアドレス変換部14を有するので、メモリアドレス同士の相互変換は勿論のこと、メモリアドレス空間からI/Oアドレス空間へのアドレス変換も可能となる。したがって、特定のマシンアーキテクチャにのみ対応する汎用性のI/OマップトI/Oレジスタを、異なるアーキテクチャのマシンでも、自由に使用できる。しかも、ハードウェアで構成されているので、高速に変換できる。

【0019】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、コントローラ側のI/Oレジスタが、全てI/OマップトI/Oレジスタからなり、メモリマップトI/Oレジスタを1つも有さない場合は、アドレスマッピングテーブル13には、CPU3から入力されるテーブル選択アドレス(範囲)TAに対し、I/OマップトI/Oレジスタ22a、22b、…のアドレスが割り当てられているか否かを示すマッピング情報及びテーブル選択アドレス(範囲)TAのアドレス変換方式が格納されていれば充分である。また、アドレス変換方式に代えて、単純に、変換アドレスを格納するようにしても良い。

【0020】

【発明の効果】以上説明したように、この発明のメモリマップトI/O制御回路によれば、入力されたメモリアドレスによって周辺装置に対してメモリマップトI/OとI/OマップトI/Oとの複数のアクセス方式を選択できるアドレス変換部を有するので、メモリアドレス同士の相互変換は勿論のこと(請求項3記載の構成の場合)、メモリアドレス空間からI/Oアドレス空間へのアドレス変換も可能となる。したがって、特定のマシンアーキテクチャにのみ対応する汎用性のI/OマップトI/Oレジスタを、異なるアーキテクチャのマシンでも、自由に使用できる。しかも、ハードウェアで構成されているので、高速に変換できる。

【図面の簡単な説明】

【図1】この発明の一実施例であるメモリマップトI/O制御回路の電氣的構成を示すブロック図である。

【符号の説明】

- 1 メモリマップトI/O制御回路
 11 ベースアドレスレジスタ
 12 アドレス比較部
 13 アドレスマッピングテーブル
 14 アドレス変換部

2 コントローラ（周辺装置）

21a, 21b, ... メモリマップトI/Oレジスタ
 タ

22a, 22b, ... I/OマップトI/Oレジスタ
 タ

3 CPU（中央処理装置）

BA ベースアドレス（第1のメモリアドレス範囲）

MA メモリマップアドレス（第2のメモリアドレス範囲）

TA テーブル選択アドレス（第3のメモリアドレス範囲）

IA 入力アドレス

【図1】

